

Patent Abstracts of Japan

PUBLICATION NUMBER : 06318698  
PUBLICATION DATE : 15-11-94

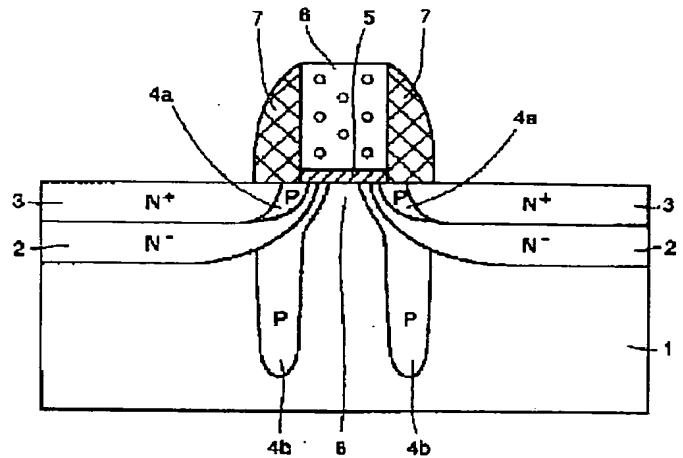
APPLICATION DATE : 06-05-93  
APPLICATION NUMBER : 05105431

APPLICANT : MITSUBISHI ELECTRIC CORP;

INVENTOR : KUNIKIYO TATSUYA;

INT.CL. : H01L 29/784

TITLE : SEMICONDUCTOR DEVICE AND ITS MANUFACTURE



ABSTRACT : PURPOSE: To reduce an increase in delay time of an element due to an increase in a gate capacitance, to reduce a rise in a threshold voltage due to a substrate bias voltage and to prevent a substrate punchthrough phenomenon.

CONSTITUTION: Highly doped P-layers 4n extended to the lower part of an N- source/drain region 2 are formed in both end parts on the surface of a channel region. In addition, highly doped P-layers 4a are formed in parts in the boundary region between an N+ source/drain region 3 and the N- source/drain region 2.

COPYRIGHT: (C)1994,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-318698

(43) 公開日 平成6年(1994)11月15日

| (51) Int.Cl. <sup>5</sup> | 識別記号 | 庁内整理番号  | F I            | 技術表示箇所  |
|---------------------------|------|---------|----------------|---------|
| H 0 1 L 29/784            |      | 9054-4M | H 0 1 L 29/ 78 | 3 0 1 H |
|                           |      | 9054-4M |                | 3 0 1 S |

審査請求 未請求 請求項の数 5 . O L (全 22 頁)

(21) 出願番号 特願平5-105431

(22) 出願日 平成5年(1993)5月6日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 國清 辰也

兵庫県伊丹市瑞原4丁目1番地 三菱電機

株式会社エル・エス・アイ研究所内

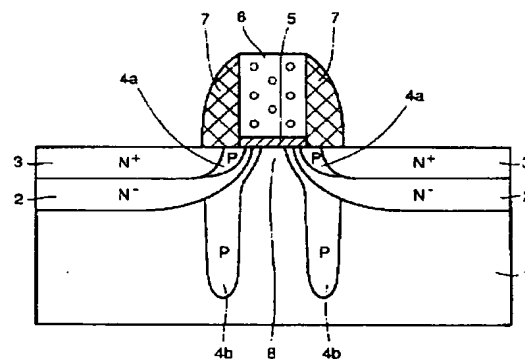
(74) 代理人 弁理士 深見 久郎 (外3名)

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【目的】 ゲート容量の増加による素子の遅延時間の増加と基板バイアス電圧によるしきい値電圧の上昇を低減するとともに基板パンチスルー現象を防止することを目的とする。

【構成】 チャネル領域8の表面の両端部分にN<sup>-</sup>ソース/ドレイン領域2の下方にまで延びる高濃度のP層4bを形成する。さらに、N<sup>+</sup>ソース/ドレイン領域3とN<sup>-</sup>ソース/ドレイン領域2との境界領域の一部に高濃度のP層4aを形成する。



1:P型シリコン基板 2:N<sup>-</sup>ソース/ドレイン領域  
3:N<sup>+</sup>ソース/ドレイン領域 4a:P層  
4b:チャネルP層 5:ゲート酸化膜  
6:ゲート電極 8:チャネル領域

## 【特許請求の範囲】

【請求項1】 主表面を有する第1導電型の半導体領域と、  
前記半導体領域の主表面上にチャネル領域を挟むように所定の間隔を隔てて形成された第2導電型の1対のソース／ドレイン領域と、  
前記チャネル領域の一部に形成されるとともに、前記ソース／ドレイン領域よりも深く延びて形成された第1導電型の第1の高濃度不純物領域と、  
前記チャネル領域上にゲート絶縁層を介して形成されたゲート電極とを備えた、半導体装置。

【請求項2】 前記1対のソース／ドレイン領域の少なくとも一方の中には、さらに第1導電型の第2の高濃度不純物領域が形成されている、請求項1に記載の半導体装置。

【請求項3】 主表面を有する第1導電型の半導体領域と、  
前記半導体領域の主表面上にチャネル領域を挟むように所定の間隔を隔てて形成された第2導電型の1対のソース／ドレイン領域と、  
前記1対のソース／ドレイン領域の少なくとも一方の中に形成された第1導電型の高濃度不純物領域と、  
前記ソース／ドレイン領域下に形成され、前記チャネル領域下に開口を有する埋込酸化層とを備えた、半導体装置。

【請求項4】 第1導電型の半導体領域の主表面上にゲート絶縁層を介してゲート電極を形成する工程と、  
前記ゲート電極をマスクとして第1導電型の不純物を導入することによって前記半導体領域のチャネル領域が形成される領域の一部に第1の深さを有する第1導電型の高濃度不純物領域を形成する工程と、  
前記半導体領域の主表面上に前記チャネル領域を規定するように所定の間隔を隔てて前記第1の深さよりも浅い第2の深さを有する第2導電型の1対のソース／ドレイン領域を形成する工程とを備えた、半導体装置の製造方法。

【請求項5】 第1導電型の半導体領域の主表面上にゲート絶縁層を介してゲート電極を形成する工程と、  
前記ゲート電極をマスクとして前記半導体領域に酸素イオンを注入して熱処理を行なうことによって前記ゲート電極下に開口を有する埋込酸化層を形成する工程と、  
前記ゲート電極下にチャネル領域が位置するように前記半導体領域の主表面上に所定の間隔を隔てて第2導電型の1対のソース／ドレイン領域を形成する工程と、  
前記1対のソース／ドレイン領域の少なくとも一方の中に第1導電型の高濃度不純物領域を形成する工程とを備えた、半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 この発明は、半導体装置およびそ

の製造方法に関し、特に、MOS (Metal Oxide Semiconductor) トランジスタを有する半導体装置およびその製造方法に関する。

## 【0002】

【従来の技術】 従来、半導体素子の1つとして、MOS トランジスタが知られている。図46は、従来のMOS トランジスタを示した断面構造図である。図46を参照して、従来のMOS トランジスタでは、P型の半導体基板201の主表面上にチャネル領域204を挟むように所定の間隔を隔ててN<sup>+</sup> ソース／ドレイン領域202が形成されている。そして、そのN<sup>+</sup> ソース／ドレイン領域202と連続するように1対のN<sup>+</sup> ソース／ドレイン領域203が形成されている。チャネル領域204上にはゲート酸化膜205を介してゲート電極206が形成されている。ゲート電極206の両側壁部分にはサイドウォール酸化膜207が形成されている。

【0003】 図47～図50は、図46に示した従来のMOS トランジスタの製造プロセスを説明するための断面構造図である。図46～図50を参照して、次に従来のMOS トランジスタの製造プロセスについて説明する。

【0004】 まず、図47に示すように、P型シリコン基板にホウ素を $6.70 \text{ keV}$ 、 $2 \times 10^{13} / \text{cm}^2$  と $80 \text{ keV}$ 、 $1 \times 10^{13} / \text{cm}^2$  の条件下でイオン注入してP型ウェル（図示せず）を形成する。その後、たとえばホウ素を $30 \text{ keV}$ 、 $1 \times 10^{13} / \text{cm}^2$  の条件下でチャネルイオン注入する。これにより、チャネル（図示せず）を形成する。

【0005】 次に、図48に示すように、P型シリコン基板201上の全面にシリコン酸化膜からなるゲート酸化膜層205aを形成した後、そのゲート酸化膜層205a上にポリシリコン層206aを形成する。そして、写真製版技術とドライエッチング技術とを用いてそのポリシリコン層206aおよびゲート酸化膜層205aをパターニングする。これにより、図49に示されるようなゲート酸化膜205およびゲート電極206が形成される。この後、ゲート電極206をマスクとしてたとえばホウ素を $30 \text{ keV}$ 、 $4 \times 10^{13} / \text{cm}^2$  の条件下でイオン注入する。これにより、N<sup>+</sup> ソース／ドレイン領域203が形成される。

【0006】 次に、図50に示すように、全面に酸化膜（図示せず）を形成した後、異方性エッチングを行なうことによってサイドウォール膜207を形成する。サイドウォール膜207およびゲート電極206をマスクとしてP型シリコン基板201に砒素を $50 \text{ keV}$ 、 $1 \times 10^{15} / \text{cm}^2$  の条件下でイオン注入する。これにより、N<sup>+</sup> ソース／ドレイン領域203が形成される。このようにして、図46に示したようなN型MOSFETの基本構造が形成される。

【0007】 ところで、高密度の集積回路を実現するた

めに、素子の微細化が進められている。微細化の利点の1つは、素子の動作速度の高速化が実現できる点にある。このような微細化を行なう際に、MOSFETにおいてゲート長だけを $1\mu\text{m}$ 以下まで短くすると、しきい値電圧が低下する現象が観測される。これを短チャネル効果という。このような短チャネル効果を防ぐためにしきい値電圧を変えないで素子を微細化する方法（スケーリング則）がDennardらにより提案されている。これらは、たとえば、[R. H. Dennard, F. H. Gaensslen, H. N. Yu, V. L. Ri\*10

\*deout, E. Bassous, and A. R. Le Blanc, IEEE J. Solid-State Circuits, SC-9, 256 (1974).]などに開示されている。

【0008】ここで、ゲート長を $1/K$ とするときのその他のデバイス構造パラメータと微細化した素子の電気特性をまとめたものを以下の表1に示す。

【0009】

【表1】

デバイスおよび回路パラメータのスケーリング

| 各種パラメータ      | 記 号                       | スケーリング比 |
|--------------|---------------------------|---------|
| ゲート長         | L                         | $1/K$   |
| ゲート幅         | W                         | $1/K$   |
| 酸化膜厚         | $t_{ox}$                  | $1/K$   |
| ソース/ドレイン接合深さ | $X_j$                     | $1/K$   |
| ゲート電圧        | $V_G$                     | $1/K$   |
| ドレイン電圧       | $V_D$                     | $1/K$   |
| チャネル不純物濃度    | $N_A$                     | K       |
| 電流           | I                         | $1/K$   |
| 容量           | $C = \epsilon A / t_{ox}$ | $1/K$   |
| 回路あたりの遅延時間   | $VC / I = CR$             | $1/K$   |
| 回路あたりの消費電力   | VI                        | $1/K^2$ |
| 消費電力密度       | $VI / A$                  | 1       |

注) A はゲートの面積で  $L \times W$  に等しい

【0010】上記表1を参照して、このスケーリング則によると、ゲート長を $1/K$ にすると、素子の動作速度である回路当たりの遅延時間が $1/K$ になり、ゲート容量が $1/K$ になることがわかる。

【0011】ところが、実際には、素子の微細化が行なわれているにもかかわらず素子の動作電圧はTTL (Transistor-Transistor Logic) レベル (5Vまたは3.3V) に固定されている。このため、上記したスケーリング則がそのまま成り立つわけではない。すなわち、従来では、ドレイン電圧が高いのでしきい値電圧の低下を抑えるためにチャネル不純物※

※物濃度はスケーリング則よりも高濃度 ( $1 \times 10^{17}/\text{cm}^3 \sim 5 \times 10^{17}/\text{cm}^3$  程度) に設計されている。

【0012】素子の動作速度 (回路当たりの遅延時間) は、表1に示すように、 $CV/I = CR$  で表わされる。ここで、Cはゲート容量、Vは電圧、Iは電流、Rは抵抗を示す。したがって、素子の高速化の1つの方法として、ゲート容量Cを小さくすることが考えられる。ゲート容量Cは、次の式(1)で表わされる。

【0013】

【数1】

$$C = \frac{I}{C_0} = \frac{I}{[1 + (2K_0^2 \epsilon_0 V_G / q N_A K_s t_{ox}^2)]^{1/2}} \quad \dots (1)$$

【0014】ここで、Cはゲート容量、 $C_0$ は単位面積当たりのゲート酸化膜の容量、 $K_0$ は酸化膜の比誘電率、

$K_s$  はシリコンの比誘電率、 $\epsilon_0$  は真空中での誘電率、 $V_g$  はゲート電圧、 $q$  は単位電荷量、 $t_{ox}$  は酸化膜厚、 $N_A$  はチャネル不純物濃度である。上記式(1)から、ゲート容量 $C$ は、チャネル不純物濃度 $N_A$ が高くなるにつれて大きくなる事がわかる。実際、上記したように、しきい値電圧の低下を抑えるために、チャネル不純物濃度 $N_A$ を高濃度に行っているため、素子を微細化して\*

$$V_{TH} = V_{FB} + 2\phi_F$$

$$+ [2K_s \epsilon_0 q N_A (2\phi_F + |V_{sub}|)]^{1/2} / C_{ox} \quad \dots (2)$$

【0017】上記式(2)を参照して、 $V_{FB}$ はフラットバンド電圧、 $\phi_F$ はフェルミ単位、 $C_{ox}$ はゲート酸化膜容量、 $V_{sub}$ は基板バイアス電圧である。この式(2)からわかるように、ゲート酸化膜厚が厚いほどゲート酸化膜容量 $C_{ox}$ が小さくなって基板バイアス電圧 $V_{sub}$ によるしきい値電圧 $V_{TH}$ の増加の割合が大きくなる。このため、基板バイアス電圧 $V_{sub}$ を印加することにより厚い酸化膜からなる素子分離領域の寄生MOSトランジスタのしきい値電圧 $V_{TH}$ を素子領域にあるMOSトランジスタのしきい値電圧より大幅に高めることができる。これにより、寄生MOSトランジスタによる素子間リーク電流を著しく低減することができる。これらの理由により、基板バイアス電圧 $V_{sub}$ を印加する方法は、MOSトランジスタによるLSIで広く採用されている。

【0018】

【発明が解決しようとする課題】ところが、上記したように従来ではしきい値電圧 $V_{TH}$ の低下を抑えるためにチャネル不純物濃度 $N_A$ を高濃度に行っている。このため、上記した式(2)の基板バイアス電圧 $V_{sub}$ の係数(基板効果定数)からわかるように、基板バイアスによるしきい値電圧 $V_{TH}$ の変化が大きくなる。この結果、しきい値電圧 $V_{TH}$ が高くなり過ぎるという問題点があった。

【0019】また、ゲート電圧がしきい値電圧より低い場合にドレイン電流が流れてしまう現象である基板パンチスルーを防ぐためには、ソース/ドレイン領域の空乏層の伸びを抑制する必要がある。このため、従来では、ソース/ドレイン領域の接合深さは浅くするという方法がとられていた。具体的には、0.08 $\mu$ m程度の接合深さに形成していた。

【0020】しかし、このように接合深さを浅くするとソース/ドレイン領域の抵抗 $R$ が大きくなるため、素子の遅延時間(回路当りの遅延時間)が長くなるという問題点があった。ここで、ソース/ドレイン領域の接合深さを浅くした場合にサリサイドを用いると、ソース/ドレイン抵抗は10 $\Omega$ 以下になり接合深さを浅くしても低抵抗化はできる。しかし、サリサイド形成時にソース/ドレイン領域に欠陥が生じ、リークの原因となるという問題点がある。

\*もゲート容量 $C$ が大きくなる。このため、回路当りの遅延時間が長くなるという問題点があった。

【0015】MOSFETのしきい値電圧 $V_{TH}$ は次の式(2)によって表わされる。

【0016】

【数2】

【0021】上記のように、従来のMOSトランジスタを有する半導体装置では、素子を微細化する際のしきい値電圧の低下を抑えるためにチャネル不純物濃度を高濃度にするため、ゲート容量が大きくなり回路当りの遅延時間が長くなるという問題点があった。また、チャネル不純物濃度を高濃度にするために基板バイアス電圧を印加したときにしきい値電圧の変化が大きくなり結果的にしきい値電圧が高くなり過ぎるという問題点もあった。さらに、基板パンチスルーを防ぐためにソース/ドレイン領域の接合深さを浅くしたためにソース/ドレイン抵抗が高くなり、素子の遅延時間が長くなるという問題点もあった。

【0022】この発明は、上記のような課題を解決するためになされたもので、素子が微細化された場合にもチャネル不純物濃度の高濃度化によるゲート容量の増加を抑制し得るとともに、基板バイアス電圧を印加したときのしきい値電圧の変化を小さくことができ、さらに基板パンチスルーを防ぎながらソース/ドレイン抵抗を低くすることが可能な半導体装置およびその製造方法を提供することを目的とする。

【0023】

【課題を解決するための手段】請求項1および2における半導体装置は、主表面を有する第1導電型の半導体領域と、その半導体領域の主表面上にチャネル領域を挟むように所定の間隔を隔てて形成された第2導電型の1対のソース/ドレイン領域と、チャネル領域の一部に形成されるとともにソース/ドレイン領域よりも深く延びて形成された第1導電型の第1の高濃度不純物領域と、チャネル領域上にゲート絶縁層を介して形成されたゲート電極とを備えている。

【0024】また、好ましくは、上記した1対のソース/ドレイン領域の少なくとも一方の中にさらに第1導電型の第2の高濃度不純物領域を形成するようにしてもよい。

【0025】請求項3における半導体装置は、主表面を有する第1導電型の半導体領域と、その半導体領域の主表面上にチャネル領域を挟むように所定の間隔を隔てて形成された第2導電型の1対のソース/ドレイン領域

と、その1対のソース/ドレイン領域の少なくとも一方の中に形成された第1導電型の高濃度不純物領域と、ソース/ドレイン領域下に形成され、チャネル領域下に開口を有する埋込酸化層とを備えている。

【0026】請求項4における半導体装置の製造方法は、第1導電型の半導体領域の主表面上にゲート絶縁層を介してゲート電極を形成する工程と、ゲート電極をマスクとして第1導電型の不純物を導入することによって半導体領域のチャネル領域が形成される領域の一部に第1の深さを有する第1導電型の高濃度不純物領域を形成する工程と、半導体領域の主表面上にチャネル領域を規定するように所定の間隔を隔てて第1の深さよりも浅い第2の深さを有する第2導電型の1対のソース/ドレイン領域を形成する工程とを備えている。

【0027】請求項5における半導体装置の製造方法は、第1導電型の半導体領域の主表面上にゲート絶縁層を介してゲート電極を形成する工程と、ゲート電極をマスクとして半導体領域に酸素イオンを注入して熱処理を行なうことによってゲート電極下に開口を有する埋込酸化層を形成する工程と、ゲート電極下にチャネル領域が位置するように半導体領域の主表面上に所定の間隔を隔てて第2導電型の1対のソース/ドレイン領域を形成する工程と、1対のソース/ドレイン領域の少なくとも一方の中に第1導電型の高濃度不純物領域を形成する工程とを備えている。

【0028】

【作用】請求項1および2に係る半導体装置では、チャネル領域の一部にのみ第1導電型の第1の高濃度不純物領域が形成されているので、従来のチャネル領域全面に高濃度不純物領域を形成する場合に比べて、ゲート容量の増加が低減される。これにより、ゲート容量の増加による回路当りの遅延時間の増大が従来に比べて抑制される。これと同時に、基板バイアス電圧の印加によるしきい値電圧の変化も抑制される。さらに、上記した第1の高濃度不純物領域がソース/ドレイン領域よりも深く延びて形成されているので、ソース/ドレイン領域の空乏層の伸びが抑制される。これにより、基板パンチスルー現象が有効に防止される。

【0029】また、上記した1対のソース/ドレイン領域の少なくとも一方の中にさらに第1導電型の第2の高濃度不純物領域を形成して第1の高濃度不純物領域とともに用いれば、しきい値電圧の制御がより容易になる。

【0030】請求項3に係る半導体装置では、1対のソース/ドレイン領域の少なくとも一方の中に第1導電型の高濃度不純物領域が形成されているので、従来のチャネル領域全面に第1導電型の高濃度不純物領域を形成する場合に比べてゲート容量の増加が抑制される。これにより、回路当りの遅延時間の増大が抑制される。これと同時に、基板バイアス電圧によるしきい値電圧の変化も抑制される。さらに、ソース/ドレイン領域下にチャネ

ル領域下に開口を有する埋込酸化層が形成されているので、ソース/ドレイン領域からの空乏層の伸びが抑制される。これにより、基板パンチスルー現象が有効に防止される。

【0031】請求項4に係る半導体装置の製造方法では、ゲート電極をマスクとして第1導電型の不純物を導入することによって少なくとも半導体領域のチャネル領域が形成される領域の一部に第1導電型の高濃度不純物領域が形成されるので、従来のチャネル領域全体に第1導電型の高濃度不純物領域が形成される場合に比べてゲート容量の増加が抑制される。これにより、回路当りの遅延時間の増大が抑制される。また、これと同時に、基板バイアス電圧の印加によるしきい値電圧の変化も抑制される。さらに、高濃度不純物領域はソース/ドレイン領域の第2の深さよりも深い第1の深さを有するように形成されているので、ソース/ドレイン領域の基板パンチスルー現象が有効に防止される。

【0032】請求項5に係る半導体装置の製造方法では、ゲート電極をマスクとして半導体領域に酸素イオンが注入されて熱処理が行なわれることによってゲート電極下に開口を有する埋込酸化層が形成されるので、その埋込酸化層によってソース/ドレイン領域の空乏層の伸びが抑制される。これにより、基板パンチスルー現象が有効に防止される。また、ソース/ドレイン領域の少なくとも一方の中に第1導電型の高濃度不純物領域が形成されるので、従来のチャネル領域全面に第1導電型の高濃度不純物領域を形成する場合に比べてゲート容量の増加が抑制される。これにより、回路当りの遅延時間の増大も抑制される。これと同時に、基板バイアス電圧の印加によるしきい値電圧の変化も抑制される。

【0033】

【実施例】以下、本発明の実施例を図面に基づいて説明する。

【0034】図1は、本発明の一実施例によるMOSトランジスタを示した断面構造図である。図1を参照して、この第1実施例のMOSトランジスタでは、P型シリコン基板1の主表面上に所定領域にチャネル領域8を挟むように所定の間隔を隔てて1対のN<sup>+</sup>ソース/ドレイン領域2が形成されている。N<sup>+</sup>ソース/ドレイン領域2の内側には1対のN<sup>+</sup>ソース/ドレイン領域3が形成されている。N<sup>+</sup>ソース/ドレイン領域3とN<sup>+</sup>ソース/ドレイン領域2との境界領域に位置するP型シリコン基板1の主表面上には1対の高不純物濃度を有するP層4aが形成されている。

【0035】また、チャネル領域8の両端部には高不純物濃度を有する1対のチャネルP層4bが形成されている。このチャネルP層4bはN<sup>+</sup>ソース/ドレイン領域2よりも深く延びるように形成されている。チャネル領域8上にはゲート酸化膜5を介してゲート電極6が形成されている。ゲート電極6の両側壁部分にはサイドウォ

ール膜7が形成されている。

【0036】この第1実施例では、チャネル領域8の全体ではなく一部にのみチャネルP層4bを形成することによって、従来のチャネル領域全体に高濃度のP層を形成する場合に比べてゲート容量の増加を低減することができる。これにより、ゲート容量の増加による回路当りの遅延時間が長くなるという不都合を有効に解消することができる。このような効果は、P層4aについても当てはまる。以下に、従来のチャネル領域の全体に高濃度のP層を形成する場合に比べてこの第1実施例がゲート容量を低減できる理由について説明する。

【0037】図2は、図1に示した第1実施例のゲート容量を計算するために用いる模式図である。図3は図2に対応する等価回路図である。まず図2を参照して、この模式図では、ゲート容量はゲート酸化膜5下の3つの領域に存在する3つのキャパシタのゲート容量からなる。すなわち、一方のP層4a、N<sup>-</sup>ソース/ドレイン領域2およびチャネルP層4bからなる領域に形成される1つのキャパシタと、他方のチャネルP層4b、N<sup>-</sup>ソース/ドレイン領域2およびP層4aからなるもう1つのキャパシタと、チャネルP層4b、N<sup>-</sup>ソース/ド

\*レイ領域2およびP層4aが存在しない中央部分の領域に形成されるもう1つのキャパシタとの3つのキャパシタから構成されている。ここで、図3に示すように、上記した3つのキャパシタのそれぞれの容量は、ゲート酸化膜容量11およびゲート基板間容量14を直列に接続した容量C<sub>1</sub>と、ゲート酸化膜容量12およびゲート基板間容量15を直接に接続した容量C<sub>2</sub>と、ゲート酸化膜容量13およびゲート基板間容量16を直列に接続した容量C<sub>3</sub>とに相当する。したがって、全体のゲート容量Cは、上記した容量C<sub>1</sub>、C<sub>2</sub>およびC<sub>3</sub>が並列に接続されているので、次の式(3)によって表わされる。

【0038】

【数3】

$$C = C_1 + C_2 + C_3 \quad \cdots (3)$$

【0039】そして、上記式(3)の容量C<sub>1</sub>、C<sub>2</sub>およびC<sub>3</sub>に式(1)に従って計算した値を代入すると、次の式(4)のようになる。

【0040】

【数4】

$$C = \frac{C_0}{(1 + a/N_{A1})^{1/2}} + \frac{C_0}{(1 + a/N_{A2})^{1/2}} + \frac{C_0}{(1 + a/N_{A3})^{1/2}} \quad \cdots (4)$$

$$a = 2K_0^2 \varepsilon_0 / q K_s t_{ox}^2$$

【0041】上記式(4)を参照して、上記した3つのキャパシタの単位面積当りのゲート酸化膜容量はゲート酸化膜5が共通であるので等しい値C<sub>0</sub>になる。そして、N<sub>A1</sub>、N<sub>A3</sub>は、ともにP層4a、N<sup>-</sup>ソース/ドレイン領域2およびチャネルP層4bの不純物濃度を平均した不純物濃度であり、N<sub>A2</sub>はチャネル中央での不純物濃度である。上記式(4)から、チャネル全体に高濃度P層を形成する場合よりも、チャネルの一部に高濃度P層を形成する方が全ゲート容量Cは減少することがわかる。すなわち、N<sub>A1</sub>、N<sub>A3</sub>のみ高濃度にし、N<sub>A2</sub>は低濃度にする方がN<sub>A1</sub>、N<sub>A2</sub>、N<sub>A3</sub>の全てを高濃度にするよりも全ゲート容量Cは減少することがわかる。これにより、素子の遅延時間が従来よりも短い高速なMOSFETが実現できる。

【0042】また、この第1実施例では、チャネル中央の不純物濃度N<sub>A2</sub>を比較的低濃度にし、チャネル両端の不純物濃度N<sub>A1</sub>、N<sub>A3</sub>のみを高濃度にすることによって、従来のチャネル全体を高濃度にする場合に比べて基板バイアスによるしきい値電圧の変動も小さくすることができる。すなわち、前述した式(2)によれば、しきい値電圧V<sub>th</sub>は基板バイアス電圧V<sub>gs</sub>とチャネル不純物濃度N<sub>A</sub>との積の平方根が大きくなるにつれて高くなる。本実施例ではチャネル不純物濃度N<sub>A</sub>は従来のチャ

ネル全体を高濃度にする場合に比べて小さくなる。これにより、従来に比べて基板バイアス電圧V<sub>gs</sub>によるしきい値電圧の変動を小さくすることができる。この結果、従来のチャネル全体を高濃度にする場合に比べてしきい値電圧の上昇を低減することができる。

【0043】さらに、本実施例では、図1に示したように、高濃度のチャネルP層4bをN<sup>-</sup>ソース/ドレイン領域2よりも深く(0.4μm程度)に形成することによって、ドレイン領域からソース領域への空乏層の延びを防止することができる。この結果、基板パンチスルー現象を有効に防止することができる。これにより、従来のようにN<sup>-</sup>ソース/ドレイン領域2およびN<sup>-</sup>ソース/ドレイン領域3の接合深さを浅くする必要がない。このため、従来のようにソース/ドレイン領域2および3の抵抗値が上昇することもなく、それによって回路当りの遅延時間が長くなるという不都合も生じない。

【0044】図4～図8は、図1に示した第1実施例のMOSトランジスタの製造プロセスを説明するための断面構造図である。図4～図8を参照して、次に第1実施例のMOSトランジスタの製造プロセスについて説明する。

【0045】まず図4に示すように、P型シリコン基板1の主表面上にゲート酸化膜5aと窒化膜9を形成す

る。

【0046】次に、図5に示すように、ゲート領域に位置する窒化膜9を異方性エッチングにより除去する。その後、全面にポリシリコン層6aを形成する。これにより、ゲート領域上の凹部分を埋込む。ポリシリコン層6a上の所定領域にレジスト10を形成した後異方性エッチングを行なうことによって、図6に示されるようなゲート酸化膜5、ゲート電極6を形成する。この後、レジスト10を再びマスクとして、P型シリコン基板1に、2回に分けて不純物をイオン注入する。たとえば、0.3  $\mu\text{m}$  トランジスタの場合、70 keV、 $1 \times 10^{13} / \text{cm}^2$ 、次に20 keV、 $3 \times 10^{13} / \text{cm}^2$  の2回に分けてイオン注入を行なう。前者のイオン注入は基板パンチスルーを防ぐためのものであり、後者のイオン注入はしきい値電圧の制御のための注入である。これにより、0.4  $\mu\text{m}$  程度の深さを有するP層4が形成される。この後、窒化膜9とレジスト10を除去する。

【0047】次に、図7に示すように、ゲート電極6をマスクとしてたとえば砒素イオンを30 keV、 $1 \times 10^{13} / \text{cm}^2$  の条件下で45°で斜め回転イオン注入する。この斜め回転イオン注入の利点は、チャンネルの水平方向（ゲート酸化膜5と平行な方向）に砒素の不純物分布をみたとき、0°で注入したときよりも斜めに注入したときの方がなだらかに濃度に変化する点である。図9は、垂直方向にイオン注入を行なった場合のモンテカルロ法による不純物分布を示した分布図である。図9を参照して、注入方向に対して垂直な方向（図中aで示した方向）よりも斜め方向（図中bで示した方向）の方が不純物分布がなだらかに変化することがわかる。したがって、斜め方向からイオンを注入すれば垂直方向からイオンを注入する場合よりもチャンネルの水平方向の不純物濃度はなだらかに変化することがわかる。このように斜め回転イオン注入法を用いることによって、チャンネルの水平方向の電界を緩和することができ、ドレイン付近で生じるドレインアバランシェホットキャリアによるMOSトランジスタの劣化を防止することができる。このようにしてN<sup>-</sup>ソース/ドレイン領域3を形成すれば、図6に示した元のP層4は、図7に示すようにP層4aとチャンネルP層4bに分割される。

【0048】次に、図8に示すように、全面に酸化膜（図示せず）を堆積した後異方性エッチングすることによってサイドウォール膜7を形成する。そして、サイドウォール膜7およびゲート電極6をマスクとして砒素イオンを50 keV、 $4 \times 10^{15} / \text{cm}^2$  で7°で斜め回転イオン注入を行なうことによって、N<sup>-</sup>ソース/ドレイン領域3を形成する。なお、ソース/ドレイン領域2および3を活性化させるための熱処理は、たとえば850℃で20分程度窒素雰囲気中で行なう。このようにして、図1に示したような第1実施例のMOSトランジスタが形成される。

【0049】図10は、本発明の第2実施例によるMOSトランジスタを示した断面構造図である。図10を参照して、この第2実施例では、図1に示した第1実施例と異なり、N<sup>+</sup>ソース/ドレイン領域23の下方に埋込P層17が形成されている。また、N<sup>-</sup>ソース/ドレイン領域22はサイドウォール膜7およびゲート酸化膜5の下に位置する領域にのみ形成されている。

【0050】この第2実施例では、上記のように埋込P層17を形成することによって、上記した第1実施例の効果に加えて、素子分離領域にある寄生MOSトランジスタの動作を抑制することができる。すなわち、図10には図示していないがN<sup>-</sup>ソース/ドレイン領域23の右方には素子分離領域が存在する。そして、埋込P層17はその素子分離領域にある寄生MOSトランジスタのチャネルストップとしての役割を果たす。これにより、その素子分離領域の寄生MOSトランジスタが動作しにくくなり、耐ラッチアップ構造が得られる。

【0051】図11～図15は図10に示した第2実施例のMOSトランジスタの製造プロセスを説明するための断面構造図である。図11～図15を参照して次に第2実施例のMOSトランジスタの製造プロセスについて説明する。まず、図11～図13に示したプロセスは図4～図6に示した第1実施例の製造プロセスと同様である。この後、図14に示すように、ホウ素を90 keV、 $5 \times 10^{12} / \text{cm}^2$  の条件下でイオン注入することによって、埋込P層17を形成する。そして、砒素イオンを30 keV、 $1 \times 10^{13} / \text{cm}^2$  の条件下で45°で斜め回転イオン注入する。これにより、N<sup>-</sup>ソース/ドレイン領域22を形成する。この後、レジスト10を除去する。

【0052】次に、図15に示すように、全面に酸化膜（図示せず）を堆積した後異方性エッチングを行なうことによってサイドウォール膜7を形成する。サイドウォール膜7およびゲート電極6をマスクとして砒素イオンを50 keV、 $4 \times 10^{15} / \text{cm}^2$  の条件下で7°で斜め回転イオン注入する。これにより、N<sup>-</sup>ソース/ドレイン領域23を形成する。なお、埋込P層17は、サイドウォール膜7形成後にホウ素イオンを120 keV、 $6 \times 10^{12} / \text{cm}^2$  の条件下で10°で斜め回転イオン注入することによっても形成可能である。このようにして、第2実施例のMOSトランジスタが形成される。

【0053】図16は、本発明の第3実施例によるMOSトランジスタを示した断面構造図である。図16を参照して、この第3実施例では、N<sup>-</sup>ソース/ドレイン領域2の全面を覆うようにチャンネルP層24が形成されている。このように構成することによって、図1に示した第1実施例に比べて基板パンチスルー現象をより有効に防止することができる。

【0054】図17は、図16に示した第3実施例のMOSトランジスタの製造プロセスを説明するための断面



構造図である。図17を参照して、第3実施例のMOSトランジスタの製造プロセスとしては、レジスト10をマスクとしてホウ素を $20\text{ keV}$ 、 $4 \times 10^{12}/\text{cm}^2$ の条件下でイオン注入する。これにより、P層4aを形成する。次に、同じくホウ素を $90\text{ keV}$ 、 $5 \times 10^{12}/\text{cm}^2$ の条件下で注入することによって、チャンネルP層24を形成する。その後、リンを $30\text{ keV}$ 、 $1 \times 10^{13}/\text{cm}^2$ の条件下で注入する。これにより、 $\text{N}^+$ ソース/ドレイン領域2を形成する。なお、斜め回転イオン注入によって $\text{N}^+$ ソース/ドレイン領域2を形成する場合

には、砒素イオンを $30\text{ keV}$ 、 $1 \times 10^{13}/\text{cm}^2$ の条件下で $45^\circ$ で斜め回転イオン注入する。  
 【0055】この後、図16に示したように、サイドウォール膜7を形成した後そのサイドウォール膜7をマスクとして砒素を $50\text{ keV}$ 、 $4 \times 10^{15}/\text{cm}^2$ の条件下で $7^\circ$ で斜め回転イオン注入する。これにより、 $\text{N}^+$ ソース/ドレイン領域3を形成する。なお、チャンネルP層24は、サイドウォール膜7の形成後に斜め回転イオン注入法でホウ素イオンを注入することによっても形成可能である。このようにして第3実施例によるMOSトランジスタが形成される。

【0056】図18は、本発明の第4実施例によるMOSトランジスタを示した断面構造図である。図18を参照して、この第4実施例では、P型シリコン基板31の主表面が凹部31aを有している。そして、その凹部の底部のチャンネル領域37上にゲート酸化膜35を介してゲート電極36が形成されている。また、凹部31aの底部および側壁部分にはチャンネル領域37を挟むように所定の間隔を隔てて $\text{N}^+$ ソース/ドレイン領域32が形成されている。凹部31aの上面部には $\text{N}^+$ ソース/ドレイン領域32に接続するように $\text{N}^+$ ソース/ドレイン領域33が形成されている。チャンネル領域37の両端部分にはチャンネルP層34bが形成されている。 $\text{N}^+$ ソース/ドレイン領域32の表面領域にはP層34aが形成されている。

【0057】このように、この第4実施例では、凹部31aの上面および側面を利用して $\text{N}^+$ ソース/ドレイン領域33および $\text{N}^+$ ソース/ドレイン領域32が形成されているので、上記した第1実施例～第3実施例に比べて、1対の $\text{N}^+$ ソース/ドレイン領域33、33間の距離が長くなる。これにより、ドレイン領域から空乏層が延びてソース領域に達しにくくなり、基板パンチスルー現象をより有効に防止することができる。また、この第4実施例の構造では、 $\text{N}^+$ ソース/ドレイン領域33の接合深さを凹部31aの深さ、たとえば $0.3\mu\text{m}$ 程度まで深くすることができる。これにより、 $\text{N}^+$ ソース/ドレイン領域33の抵抗を上記した第1実施例～第3実施例よりも小さくすることができる。この結果、素子の遅延時間をより短くすることができる。

【0058】図19～図22には、図18に示した第4

実施例のMOSトランジスタの製造プロセスを説明するための断面構造図である。図19～図22を参照して、次に第4実施例のMOSトランジスタの製造プロセスについて説明する。

【0059】まず、図19に示すように、P型シリコン基板31の主表面の全体に砒素イオンを $100\text{ keV}$ 、 $7 \times 10^{15}/\text{cm}^2$ と砒素イオンを $50\text{ keV}$ 、 $1 \times 10^{15}/\text{cm}^2$ の2回のイオン注入を行なう。これにより、後述する $\text{N}^+$ ソース/ドレイン領域33となる $\text{N}^+$ 層33aを形成する。この後、 $\text{N}^+$ 層33a上の所定領域にレジスト38を形成する。ゲート長が $0.3\mu\text{m}$ の場合、 $0.4\mu\text{m}$ の開口を有するようにレジスト38を形成する。この後、レジスト38をマスクとして、シリコン系ガスを流し、側壁にシリコンを堆積しながら異方性エッチングする。これにより、図20に示されるような凹部31aを形成する。この後レジスト38を除去する。

【0060】次に、図21に示すように、全面にゲート酸化膜層（図示せず）とポリシリコン層（図示せず）とを形成した後そのポリシリコン層上にレジスト39を形成する。レジスト39をマスクとしてポリシリコン層およびゲート酸化膜層を異方性エッチングすることによってゲート酸化膜35およびポリシリコン層からなるゲート電極36を形成する。さらに、レジスト39をマスクとしてリンを $30\text{ keV}$ 、 $1 \times 10^{13}/\text{cm}^2$ の条件下で $45^\circ$ で斜め回転イオン注入する。これにより、 $\text{N}^+$ ソース/ドレイン領域32が形成される。

【0061】次に、図22に示すように、さらにレジスト39をマスクとしてホウ素イオンを低エネルギーと高エネルギーの2回に分けて斜め回転イオン注入することによってP層34aとチャンネルP層34bを形成する。このようにして、第4実施例のMOSトランジスタが完成される。

【0062】図23は、本発明の第5実施例によるMOSトランジスタを示した断面構造図である。図23を参照して、この第5実施例では、図18に示した第4実施例と異なり、チャンネルP層44が $\text{N}^+$ ソース/ドレイン領域32および $\text{N}^+$ ソース/ドレイン領域33の全体を覆うように形成されている。これにより、ドレイン領域からの空乏層の延びをより有効に防止することができ、第4実施例に比べて基板パンチスルー現象をより有効に低減することができる。

【0063】なお、この第5実施例のMOSトランジスタのチャンネルP層44の形成方法としては、図22に示した第4実施例の製造プロセスにおいてレジスト39をマスクとしてホウ素を $250\text{ keV}$ 、 $6 \times 10^{12}/\text{cm}^2$ の条件下でイオン注入することによって形成する。

【0064】図24は、本発明の第6実施例によるMOSトランジスタを示した断面構造図である。図24を参照して、この第6実施例では、P型シリコン基板51が

溝状の凹部51aを有している。そして凹部51aの底面部分のチャネル領域57上にゲート酸化膜55を介してゲート電極56が形成されている。凹部51aの底面および側面部分にはチャネル領域57を挟むように所定の間隔を隔ててN<sup>+</sup>ソース/ドレイン領域52が形成されている。凹部51aの上面部分にはN<sup>+</sup>ソース/ドレイン領域52に接続するようにN<sup>+</sup>ソース/ドレイン領域53が形成されている。N<sup>+</sup>ソース/ドレイン領域52の表面領域にはP層54aが形成されている。チャネル領域57の両端部分およびN<sup>+</sup>ソース/ドレイン領域の一部下にはチャネルP層54bが形成されている。

【0065】この第6実施例では、しきい値電圧をP層54aとチャネルP層54bのチャネル領域57の表面に位置する部分とによって制御する。また、N<sup>+</sup>ソース/ドレイン領域52の下にまで深く延びる高濃度のチャネルP層54bによって基板パンチスルー現象を有効に防止することができる。

【0066】さらに、凹部51aの上面にN<sup>+</sup>ソース/ドレイン領域53、53を形成しているため、N<sup>+</sup>ソース/ドレイン領域53、53間の距離が長くなり、これによっても基板パンチスルー現象をより有効に防止することができる。

【0067】図25～図29は、図24に示した第6実施例のMOSトランジスタの製造プロセスを説明するための断面構造図である。図25～図29を参照して、次に第6実施例のMOSトランジスタの製造プロセスについて説明する。

【0068】まず、図25に示すように、P型シリコン基板51の主表面上に0.4μm程度の厚みを有する酸化膜層(図示せず)を形成した後、ゲート長0.3μmのMOSトランジスタを形成する場合は0.4μmの開口部を形成する。これにより、所定のパターン形状を有する酸化膜58が形成される。この酸化膜58をマスクとして、酸素イオンを145keV、 $3 \times 10^{12}/\text{cm}^2$ の条件下でP型シリコン基板51にイオン注入する。そして、1300℃程度の温度条件下で熱処理を行なうことによって、P型シリコン基板51内に注入された酸素イオンによって図26に示されるようなゲート酸化膜層55aを形成する。

【0069】次に、図27に示すように、全面に窒化膜層(図示せず)を形成した後その窒化膜層上の所定領域にレジスト60を形成する。そのレジスト60をマスクとしてその窒化膜層およびP型シリコン基板51をエッチングすることによって、パターニングされた単結晶シリコン層56aおよび窒化膜59を形成する。レジスト60をマスクとしてさらにゲート酸化膜層55aをエッチングすることによって、図28に示されるようなゲート酸化膜55を形成する。この後、酸化膜58およびレジスト60をマスクとしてホウ素を70keV、 $1 \times 10^{13}/\text{cm}^2$ の条件下で、さらに20keV、 $3 \times 10$

$11/\text{cm}^2$ の条件下での2回に分けてイオン注入を行なう。これにより、P層54を形成する。なお、前者のイオン注入は基板パンチスルーを防止するためのイオン注入であり、後者のイオン注入はしきい値電圧制御のためのイオン注入である。この後、酸化膜58およびレジスト60ならびに窒化膜59を除去する。次に、図29に示すように、砒素イオンを50keV、 $1 \times 10^{15}/\text{cm}^2$ の条件下で30°で斜め回転イオン注入する。これにより、N<sup>+</sup>ソース/ドレイン領域52を形成する。次に、同じく砒素イオンを50keV、 $1 \times 10^{15}/\text{cm}^2$ の条件下で0°でイオン注入する。これにより、N<sup>+</sup>ソース/ドレイン領域53を形成する。

【0070】なお、N<sup>+</sup>ソース/ドレイン領域52の形成によって、図28に示したP層54は、P層54aとチャネルP層54bとに分割されることになる。また、図28に示した単結晶シリコン層56aは砒素イオンの注入のために一部アモルファス化し、単結晶に近いポリシリコンからなるゲート電極56になる。このようにして、第6実施例のMOSトランジスタが形成される。

【0071】図30は、本発明の第7実施例によるMOSトランジスタを示した断面構造図である。図30を参照して、この第7実施例では、上記した第6実施例と異なり、チャネルP層64がN<sup>+</sup>ソース/ドレイン領域52およびN<sup>+</sup>ソース/ドレイン領域53の全面を覆うように形成されている。このように形成することによって、第6実施例に比べてドレイン領域からの空乏層の延びをより有効に抑制することができ、基板パンチスルー現象をより有効に防止することができる。

【0072】図31は、本発明の第8実施例によるMOSトランジスタを示した断面構造図である。図31を参照して、この第8実施例では、P型シリコン基板71の主表面に溝状の凹部71aが形成されている。そして、その溝状の凹部71aの底面のチャネル領域78上にゲート酸化膜75を介してゲート電極76が形成されている。凹部71aの側面および底面にはチャネル領域78を挟むように所定の間隔を隔ててN<sup>+</sup>ソース/ドレイン領域72が形成されている。凹部71aの上面にはN<sup>+</sup>ソース/ドレイン領域72に接続するようにN<sup>+</sup>ソース/ドレイン領域73が形成されている。N<sup>+</sup>ソース/ドレイン領域72の表面部分にはP層74aが形成されている。チャネル領域78の両端部分にはN<sup>+</sup>ソース/ドレイン領域72の下方にまで延びるチャネルP層74bが形成されている。

【0073】また、N<sup>+</sup>ソース/ドレイン領域の側面部分およびN<sup>+</sup>ソース/ドレイン領域73の底面部分を覆うように埋込P層77が形成されている。

【0074】この第8実施例では、チャネルP層74bとP層74aとによってしきい値電圧を制御する。また、N<sup>+</sup>ソース/ドレイン領域72の下方にまで延びる高濃度のチャネルP層74bによって基板パンチスルー

現象を防止することができる。さらに凹部71aの上面部分にN<sup>-</sup>ソース/ドレイン領域73、73を形成することによって、N<sup>-</sup>ソース/ドレイン領域73、73間の距離が長くなり、これによっても基板パンチスルー現象をより有効に防止することができる。

【0075】図32～図36は、図31に示した第8実施例のMOSトランジスタの製造プロセスを説明するための断面構造図である。図32～図36を参照して、次に第8実施例のMOSトランジスタの製造プロセスについて説明する。

【0076】まず、図32に示すように、P型シリコン基板71上に酸化膜層（図示せず）を形成した後その酸化膜層上の所定領域にレジスト80を形成する。レジスト80をマスクとしてその酸化膜層を異方性エッチングすることにより、たとえば0.3μmトランジスタを形成する場合は0.4μm程度の開口幅を有する酸化膜79を形成する。さらに、レジスト80および酸化膜79をマスクとして、P型シリコン基板71を異方性エッチングすることによって、図33に示されるような凹部71aを形成する。全面にゲート酸化膜層75aを形成した後、そのゲート酸化膜層75a上にポリシリコン層76aを形成する。ポリシリコン層76aをゲート酸化膜層75aをストップパッドとして研磨除去する。これにより、図34に示すゲート酸化膜層75aと横方向のつながりが滑らかなポリシリコン層76aが得られる。

【0077】その後、砒素を50keV、 $1 \times 10^{15}/\text{cm}^2$ の条件下でイオン注入する。これにより、N<sup>-</sup>ソース/ドレイン領域73を形成する。このイオン注入によって同時にポリシリコン層76aにも砒素が打込まれる。その後、全面に酸化膜層（図示せず）を形成した後その酸化膜層上の所定領域にレジスト82を形成する。レジスト82をマスクとして酸化膜層をエッチングすることによって酸化膜81を形成する。この後レジスト82を除去する。そして、酸化膜81をマスクとしてポリシリコン層76aを異方性エッチングするとともに、別の工程でゲート酸化膜層75aをウェットエッチングすることによって、図35に示されるようなゲート酸化膜75およびゲート電極76が形成される。その後、砒素を50keV、 $1 \times 10^{14}/\text{cm}^2$ の条件下で10°で斜め回転イオン注入する。これにより、N<sup>-</sup>ソース/ドレイン領域72を形成する。

【0078】次に、図36に示すように、ホウ素を90keV、 $6 \times 10^{12}/\text{cm}^2$ の条件下と、10keV、 $5 \times 10^{13}/\text{cm}^2$ の条件下で2回注入することによって、P層74a、チャネルP層74bおよび埋込P層77を形成する。この後、酸化膜81を除去する。このようにして、第8実施例のMOSトランジスタが完成される。

【0079】図37は、本発明の第9実施例によるMOSトランジスタを示した断面構造図である。図37を参

照して、この第9実施例によるMOSトランジスタでは、P型シリコン基板91の主表面上に凹部91aが形成されている。そしてその凹部91aの底面のチャネル領域97上にゲート酸化膜95を介してゲート電極96が形成されている。凹部91aの側面および底面の一部にはチャネル領域97を挟むように所定の間隔を隔ててN<sup>-</sup>ソース/ドレイン領域92が形成されている。凹部91aの上面部にはN<sup>-</sup>ソース/ドレイン領域93に接続するようにN<sup>+</sup>ソース/ドレイン領域93が形成されている。

【0080】N<sup>-</sup>ソース/ドレイン領域92の凹部91aの底部表面に位置する領域にはP層94aが形成されている。チャネル領域97の表面領域両端部にはN<sup>-</sup>ソース/ドレイン領域92の下方にまで延びるチャネルP層94bが形成されている。

【0081】この第9実施例では、MOSトランジスタのしきい値電圧をP層94aとチャネルP層94bとによって制御する。また、N<sup>-</sup>ソース/ドレイン領域92の下方に延びる高濃度のチャネルP層94bによってドレイン領域からの空乏層の伸びを抑制することができ、基板パンチスルー現象を有効に防止することができる。さらに、N<sup>+</sup>ソース/ドレイン領域93、93が凹部91aの上面部に形成されているため、N<sup>-</sup>ソース/ドレイン領域93、93間の距離が長くなり、これによっても基板パンチスルー現象を防止することができる。

【0082】図38～図42は、図37に示した第9実施例のMOSトランジスタの製造プロセスを説明するための断面構造図である。図38～図42を参照して、次に第9実施例のMOSトランジスタの製造プロセスについて説明する。

【0083】まず、図38に示すように、P型シリコン基板91の主表面に砒素を100keV、 $5 \times 10^{15}/\text{cm}^2$ の条件下でイオン注入することによって、N<sup>-</sup>ソース/ドレイン領域93を形成する。N<sup>-</sup>ソース/ドレイン領域93上の全面に酸化膜層（図示せず）を形成した後その酸化膜層上の所定領域にレジスト99を形成する。レジスト99をマスクとしてその酸化膜層を異方性エッチングすることによって、所定のパターン形状を有する酸化膜98が形成される。具体的には、酸化膜98の開口幅は0.1μm程度に形成し、2つの孔の間隔は0.1μm程度に形成する。この後、レジスト99をマスクとしてさらにP型シリコン基板91を異方性エッチングすることによって、図39に示されるような凹部91aおよび91bを形成する。その後、レジスト99および酸化膜98を除去する。この凹部91aおよび91bの深さはそれぞれ0.35μm程度である。

【0084】この後、全面に下敷酸化膜100を形成した後、その下敷酸化膜100上に窒化膜101を形成する。

【0085】次に、図40に示すように、窒化膜101

および酸化膜100を凹部91aおよび91bの底面が露出するまで異方性エッチングする。

【0086】次に、図41に示すように、全面を酸化すると、 $N^+$ ソース/ドレイン領域93の上表面に酸化膜102が形成される。これと同時に、凹部91aおよび91bの底部表面に厚い酸化膜が形成されるとともにその厚い酸化膜の両端部分のバースピークが延びて中央部分で接続される。これにより、ゲート酸化膜層95aが形成される。この状態からホウ素を200keV、 $6 \times 10^{12}/cm^2$ の条件下と、50keV、 $2 \times 10^{13}/cm^2$ の条件下でイオン注入することによって、図42に示されるようなP層94aおよびチャネルP層となるP層（図示せず）を形成する。この後、酸化膜101および酸化膜100および102（図41参照）ウェットエッチングにより除去する。さらに、ゲート酸化膜層95a（図41参照）のうち凹部91aおよび91bの底面に露出した部分を異方性エッチングにより除去する。

【0087】次に、図42に示すように、砒素を50keV、 $1 \times 10^{15}/cm^2$ の条件下で45°で斜め回転イオン注入する。これにより、 $N^+$ ソース/ドレイン領域92を形成する。一連の砒素注入工程によってゲート電極96にも砒素がイオン注入されている。このようにして、第9実施例のMOSトランジスタが形成される。なお、この第9実施例の製造プロセスでは、ゲート酸化膜層95aを通常のLOCOSプロセスで容易に形成することができるという利点がある。

【0088】図43は、本発明の第10実施例によるMOSトランジスタを示した断面構造図である。図43を参照して、この第10実施例によるMOSトランジスタでは、P型シリコン基板111の主表面上にチャネル領域118を挟むように所定の間隔を隔てて $N^+$ ソース/ドレイン領域112を形成する。また、 $N^+$ ソース/ドレイン領域112に接続するように $N^+$ ソース/ドレイン領域113を形成する。 $N^+$ ソース/ドレイン領域113と $N^+$ ソース/ドレイン領域112との境界領域の一部にはP層114aが形成されている。 $N^+$ ソース/ドレイン領域112および $N^+$ ソース/ドレイン領域113の下には酸化膜層119が形成されている。チャネル領域118上にはゲート酸化膜115を介してゲート電極116が形成されている。ゲート電極116の両側壁部分にはサイドウォール膜117が形成されている。

【0089】このようにこの第10実施例では、埋込酸化層119の存在によって、放射線注入によるソフトエラーを防止することができる。また、埋込酸化層119はチャネル領域118下に開口を有するように形成されているので、 $N^+$ ソース/ドレイン領域113近傍で電圧が衝突電離を起こすことにより生じた正孔をP型111側に逃がすことができる。また、擬似的なSOI構造であるため、浮遊容量がほとんどなく、同一消費電力であれば、バルク上のものに比べて約2倍の高速化が可能

である。

【0090】図44および図45は、図43に示した第10実施例のMOSトランジスタの製造プロセスを説明するための断面構造図である。図43～図45を参照して、次に第10実施例のMOSトランジスタの製造プロセスについて説明する。

【0091】まず、図44に示すように、P型シリコン基板111上に写真製版技術とドライエッチング技術とを用いて、ゲート酸化膜115、ポリシリコンからなるゲート電極116、および酸化膜120を形成する。そして、酸化膜120をマスクとして、酸素イオンをたとえば70keV、 $5 \times 10^{17}/cm^2$ でイオン注入する。ここで、酸化膜120は、この酸素イオンのイオン注入の際に酸素イオンがゲート電極116に注入されるのを防止する役割を果たす。この後、たとえば1000℃以上の高温条件下で熱処理することによって、注入した酸素イオンとP型シリコン基板111のシリコン原子とを反応させる。これにより、図45に示されるような埋込酸化層119が形成される。

【0092】この後、砒素を50keV、 $1 \times 10^{14}/cm^2$ の条件下でイオン注入することによって、 $N^+$ ソース/ドレイン領域112を形成する。さらに、ホウ素イオンを10keV、 $1 \times 10^{13}/cm^2$ の条件下でイオン注入することによって、高濃度のP層114aを形成する。

【0093】最後に、図43に示したように、サイドウォール膜117を形成した後、砒素を50keV、 $1 \times 10^{15}/cm^2$ の条件下でイオン注入する。これにより、 $N^+$ ソース/ドレイン領域113を形成する。このようにして、第10実施例のMOSトランジスタが完成される。

【0094】

【発明の効果】請求項1および2に係る半導体装置によれば、チャネル領域の一部にソース/ドレイン領域とは異なる第1導電型の第1の高濃度不純物領域を形成することによって、従来のチャネル領域の全面に第1導電型の高濃度不純物領域を形成する場合に比べてゲート容量の増加を低減することができる。これにより、ゲート容量の増加による回路当りの遅延時間の増大を有効に防止することができる。また、チャネル領域全体を高濃度にする場合に比べて基板バイアス電圧によるしきい値電圧の変化の割合を低減することができる。これにより、従来のようにしきい値電圧が高くなり過ぎるという問題点も解消できる。さらに、その第1の高濃度不純物領域をソース/ドレイン領域よりも深く延びて形成することによって、ソース/ドレイン領域のうちドレイン領域を構成する方から空乏が延びるのを有効に防止することができる。これにより、基板パンチスルー現象を有効に防止することができる。このように基板パンチスルー現象を有効に防止することができるので、従来のように基板バ

ンチスルー現象を防止するためにソース／ドレイン領域の接合深さを浅くする必要もなく、ソース／ドレイン領域の抵抗値が上昇することもない。この結果、ソース／ドレイン領域の抵抗値の上昇によって素子の遅延時間が長くなってしまうという問題点も解消できる。

【0095】また、1対のソース／ドレイン領域の少なくとも一方の中にさらに第1導電型の第2の高濃度不純物領域を形成するように構成すれば、この第2の高濃度不純物領域と上記した第1の高濃度不純物領域とによって容易にしきい値電圧を制御することができる。

【0096】請求項3に係る半導体装置によれば、ソース／ドレイン領域の少なくとも一方の中に第1導電型の高濃度不純物領域を形成することによって、従来のチャネル領域全体に第1導電型の高濃度不純物領域を形成する場合に比べてゲート容量の増加を低減することができる。これにより、回路当りの遅延時間も従来に比べて短くすることができる。また、ソース／ドレイン領域の下に埋込酸化層を形成することによって、ソース／ドレイン領域のうちドレイン領域を構成する側から空乏層が延びるのを抑制することができ、基板パンチスルー現象を有効に防止することができる。

【0097】請求項4に係る半導体装置の製造方法によれば、ゲート電極をマスクとして第1導電型の不純物を導入することによって半導体領域のチャネル領域が形成される領域の一部に第1導電型の高濃度不純物領域を形成することによって、従来のチャネル領域の全面に第1導電型の高濃度不純物領域が形成される場合に比べてゲート容量の増加を抑えることが可能な半導体装置を容易に製造できる。また、第1導電型の高濃度不純物領域をソース／ドレイン領域の第2の深さよりも深い第1の深さになるように形成することによって、ソース／ドレイン領域のうちドレイン領域側から空乏層が延びるのを抑制することができる。これにより、基板パンチスルー現象を防止することが可能な半導体装置を容易に製造できる。

【0098】請求項5に係る半導体装置の製造方法によれば、ゲート電極をマスクとして半導体領域に酸素イオンを注入して熱処理を行なうことによってゲート電極下に開口を有する埋込酸化層を形成することによって、その埋込酸化層によりソース／ドレイン領域のうちドレイン領域側から空乏層が延びるのを有効に防止することができる。これにより、パンチスルー現象を有効に防止し得る半導体装置を容易に製造することができる。また、1対のソース／ドレイン領域の少なくとも一方の中に第1導電型の高濃度不純物領域を形成することによって、従来のチャネル領域全面に高濃度不純物領域を形成する場合に比べてゲート容量の増加を低減することができる。これにより、ゲート容量の増加による回路当りの遅延時間の長期化を防止することが可能な半導体装置を容易に製造できる。

【図面の簡単な説明】

【図1】本発明の第1実施例によるMOSトランジスタを示した断面構造図である。

【図2】図1に示した第1実施例のゲート容量を算出するための模式図である。

【図3】図2の模式図に対応する等価回路図である。

【図4】図1に示した第1実施例のMOSトランジスタの製造プロセスの第1工程を説明するための断面構造図である。

【図5】図1に示した第1実施例のMOSトランジスタの製造プロセスの第2工程を説明するための断面構造図である。

【図6】図1に示した第1実施例のMOSトランジスタの製造プロセスの第3工程を説明するための断面構造図である。

【図7】図1に示した第1実施例のMOSトランジスタの製造プロセスの第4工程を説明するための断面構造図である。

【図8】図1に示した第1実施例のMOSトランジスタの製造プロセスの第5工程を説明するための断面構造図である。

【図9】イオンの注入方向と不純物濃度分布の関係を説明するための概略図である。

【図10】本発明の第2実施例によるMOSトランジスタを示した断面構造図である。

【図11】図10に示した第2実施例のMOSトランジスタの製造プロセスの第1工程を説明するための断面構造図である。

【図12】図10に示した第2実施例のMOSトランジスタの製造プロセスの第2工程を説明するための断面構造図である。

【図13】図10に示した第2実施例のMOSトランジスタの製造プロセスの第3工程を説明するための断面構造図である。

【図14】図10に示した第2実施例のMOSトランジスタの製造プロセスの第4工程を説明するための断面構造図である。

【図15】図10に示した第2実施例のMOSトランジスタの製造プロセスの第5工程を説明するための断面構造図である。

【図16】本発明の第3実施例によるMOSトランジスタを示した断面構造図である。

【図17】図16に示した第3実施例のMOSトランジスタの製造プロセスを説明するための断面構造図である。

【図18】本発明の第4実施例によるMOSトランジスタを示した断面構造図である。

【図19】図18に示した第4実施例のMOSトランジスタの製造プロセスの第1工程を説明するための断面構造図である。

【図20】図18に示した第2実施例のMOSトランジスタの製造プロセスの第2工程を説明するための断面構造図である。

【図21】図18に示した第4実施例のMOSトランジスタの製造プロセスの第3工程を説明するための断面構造図である。

【図22】図18に示した第2実施例のMOSトランジスタの製造プロセスの第4工程を説明するための断面構造図である。

【図23】本発明の第5実施例によるMOSトランジスタを示した断面構造図である。

【図24】本発明の第6実施例によるMOSトランジスタを示した断面構造図である。

【図25】図24に示した第6実施例のMOSトランジスタの製造プロセスの第1工程を説明するための断面構造図である。

【図26】図24に示した第6実施例のMOSトランジスタの製造プロセスの第2工程を説明するための断面構造図である。

【図27】図24に示した第6実施例のMOSトランジスタの製造プロセスの第3工程を説明するための断面構造図である。

【図28】図24に示した第6実施例のMOSトランジスタの製造プロセスの第4工程を説明するための断面構造図である。

【図29】図24に示した第6実施例のMOSトランジスタの製造プロセスの第5工程を説明するための断面構造図である。

【図30】本発明の第7実施例によるMOSトランジスタを示した断面構造図である。

【図31】本発明の第8実施例によるMOSトランジスタを示した断面構造図である。

【図32】図31に示した第8実施例のMOSトランジスタの製造プロセスの第1工程を説明するための断面構造図である。

【図33】図31に示した第8実施例のMOSトランジスタの製造プロセスの第2工程を説明するための断面構造図である。

【図34】図31に示した第8実施例のMOSトランジスタの製造プロセスの第3工程を説明するための断面構造図である。

【図35】図31に示した第8実施例のMOSトランジスタの製造プロセスの第4工程を説明するための断面構造図である。

【図36】図31に示した第8実施例のMOSトランジスタの製造プロセスの第5工程を説明するための断面構造図である。

【図37】本発明の第9実施例によるMOSトランジスタを示した断面構造図である。

【図38】図37に示した第9実施例のMOSトランジスタの製造プロセスの第1工程を説明するための断面構造図である。

【図39】図37に示した第9実施例のMOSトランジスタの製造プロセスの第2工程を説明するための断面構造図である。

【図40】図37に示した第9実施例のMOSトランジスタの製造プロセスの第3工程を説明するための断面構造図である。

【図41】図37に示した第9実施例のMOSトランジスタの製造プロセスの第4工程を説明するための断面構造図である。

【図42】図37に示した第9実施例のMOSトランジスタの製造プロセスの第5工程を説明するための断面構造図である。

【図43】本発明の第10実施例によるMOSトランジスタを示した断面構造図である。

【図44】図43に示した第10実施例のMOSトランジスタの製造プロセスの第1工程を説明するための断面構造図である。

【図45】図43に示した第10実施例のMOSトランジスタの製造プロセスの第2工程を説明するための断面構造図である。

【図46】従来のMOSトランジスタを示した断面構造図である。

【図47】図46に示した従来のMOSトランジスタの製造プロセスの第1工程を説明するための断面構造図である。

【図48】図46に示した従来のMOSトランジスタの製造プロセスの第2工程を説明するための断面構造図である。

【図49】図46に示した従来のMOSトランジスタの製造プロセスの第3工程を説明するための断面構造図である。

【図50】図46に示した従来のMOSトランジスタの製造プロセスの第4工程を説明するための断面構造図である。

【図51】図46に示した従来のMOSトランジスタの製造プロセスの第5工程を説明するための断面構造図である。

【符号の説明】

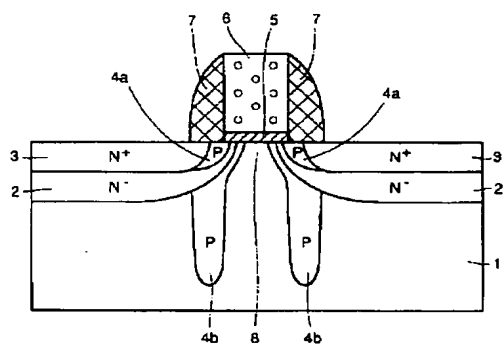
- 1 : P型シリコン基板
- 2 : N<sup>+</sup>ソース/ドレイン領域
- 3 : N<sup>+</sup>ソース/ドレイン領域
- 4a : P層
- 4b : チャネルP層
- 5 : ゲート酸化膜
- 6 : ゲート電極
- 8 : チャネル領域

なお、各図中、同一符号は同一または相当部分を示す。

(14)

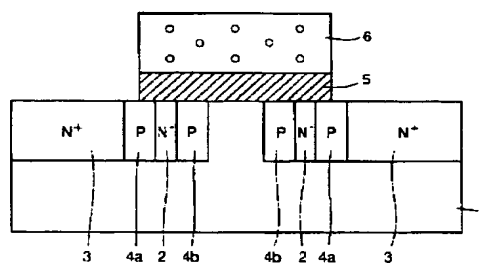
特開平6-318698

【図1】

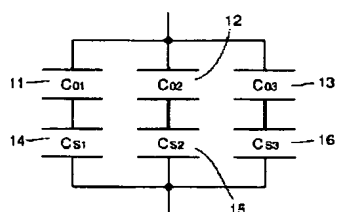


1:P型シリコン基板  
2:N<sup>-</sup>ソース/ドレイン領域  
3:N<sup>+</sup>ソース/ドレイン領域  
4a:P層  
4b:チャネルP層  
5:ゲート酸化膜  
6:ゲート電極  
7:チャネル領域

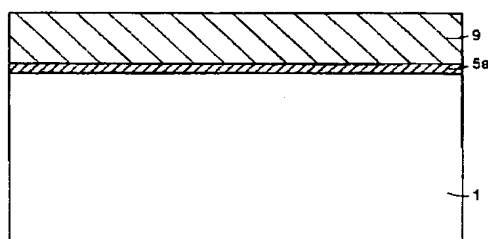
【図2】



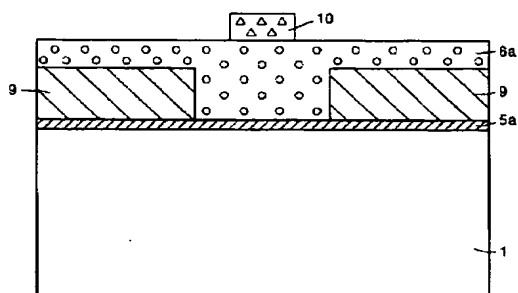
【図3】



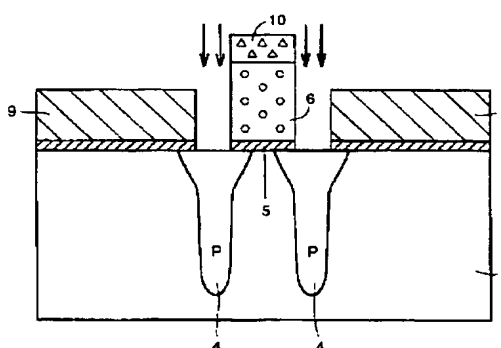
【図4】



【図5】



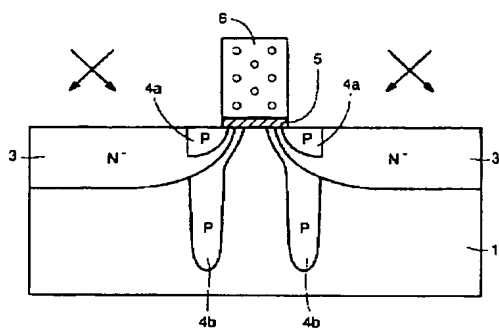
【図6】



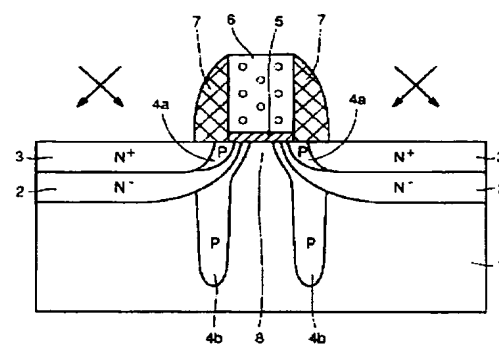
(15)

特開平6-318698

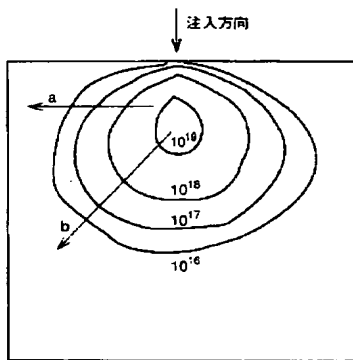
【図7】



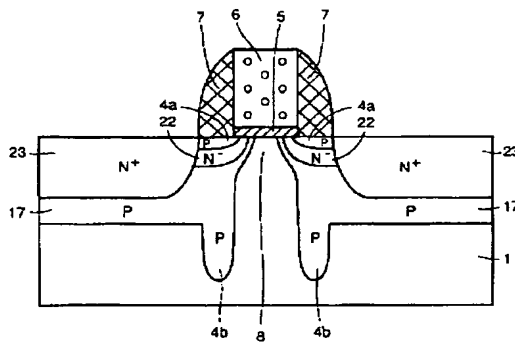
【図8】



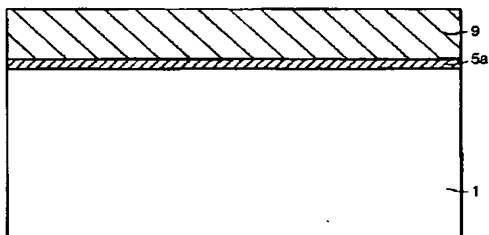
【図9】



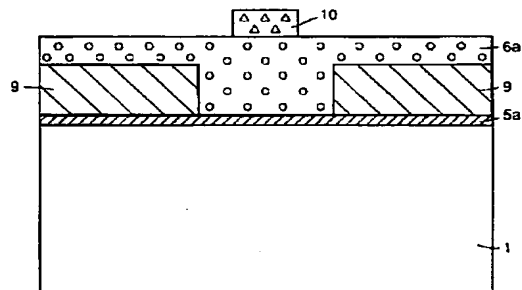
【図10】



【図11】



【図12】

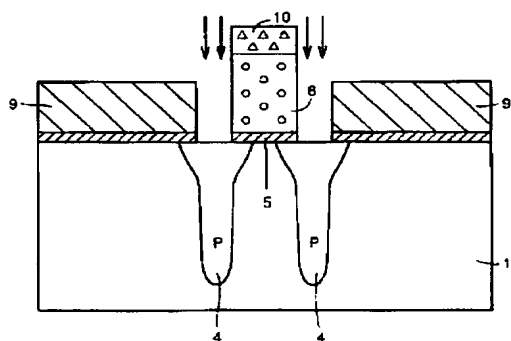




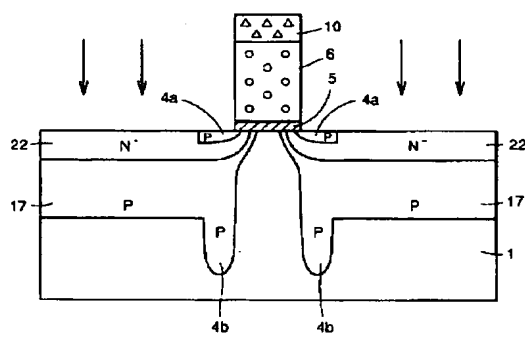
(16)

特開平6-318698

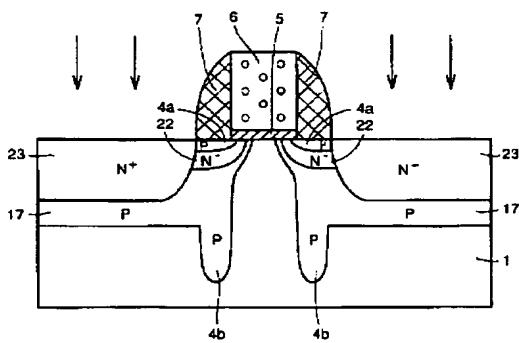
【図13】



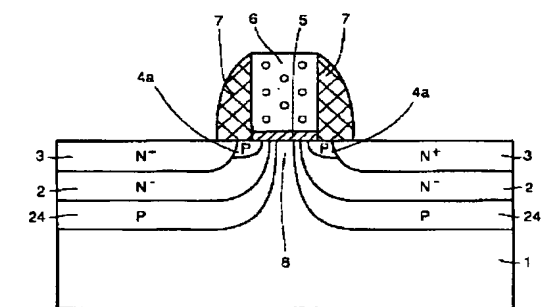
【図14】



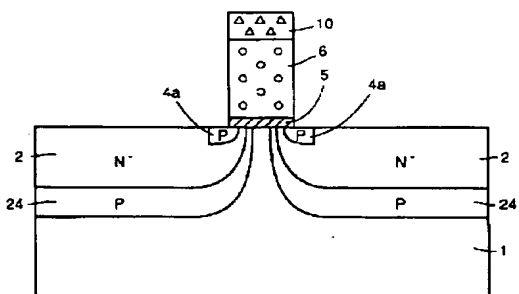
【図15】



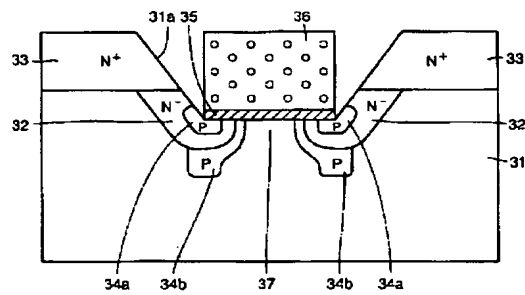
【図16】



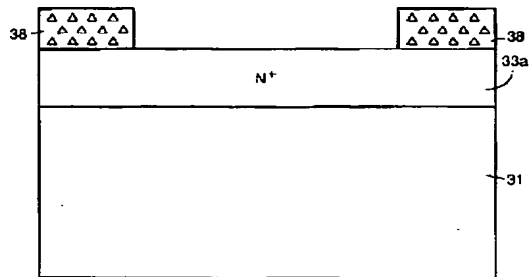
【図17】



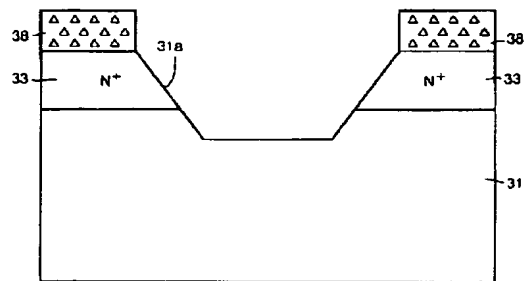
【図18】



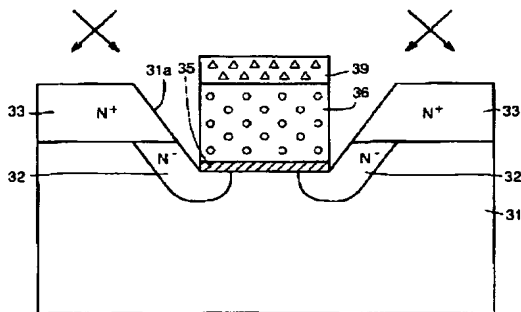
【図19】



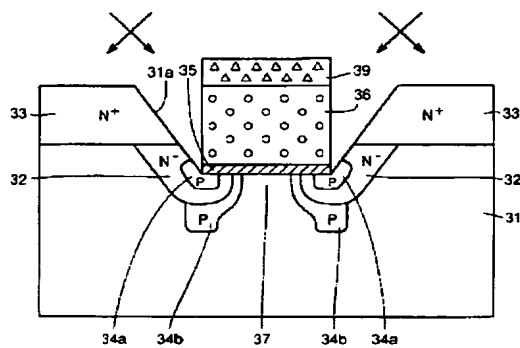
【図20】



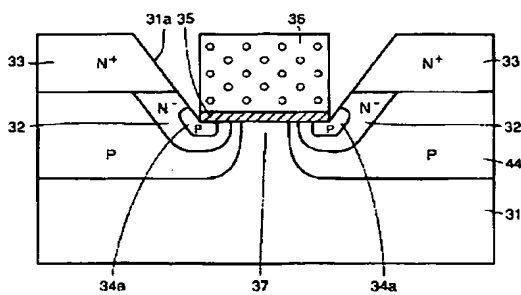
【図21】



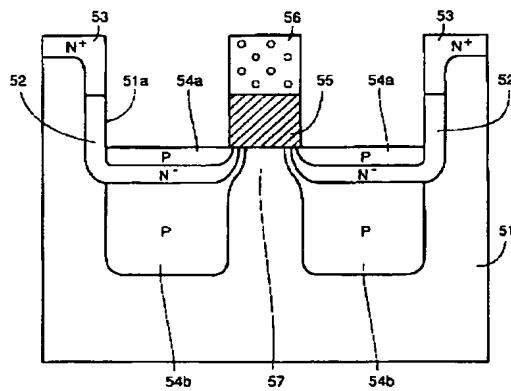
【図22】



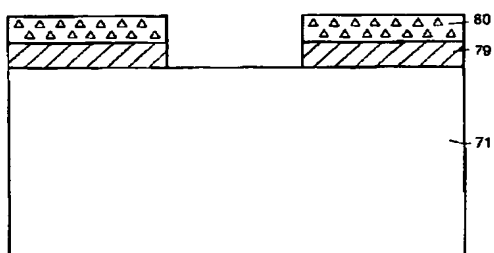
【図23】



【図24】



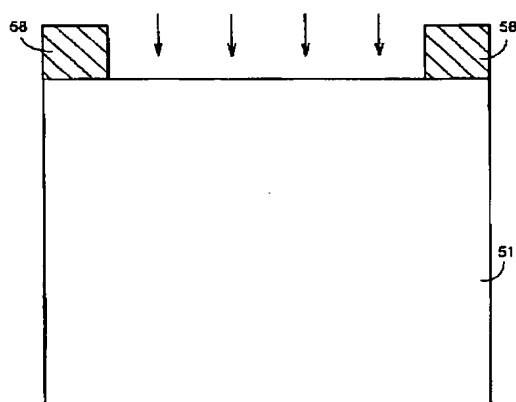
【図32】



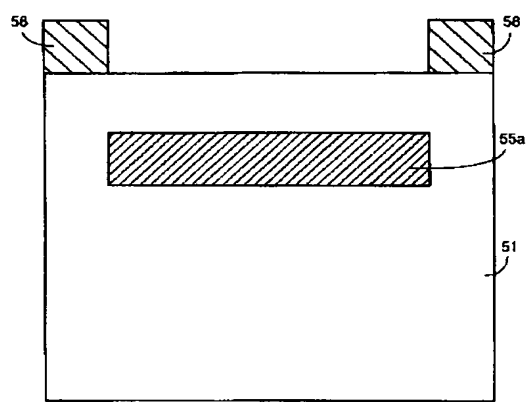
(18)

特開平6-318698

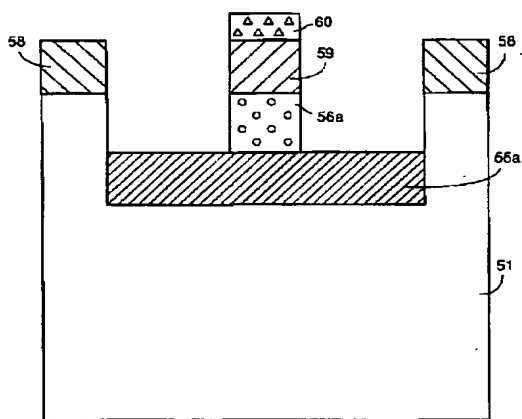
【図25】



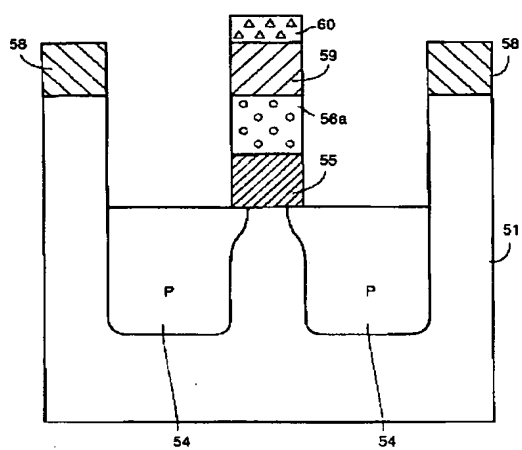
【図26】



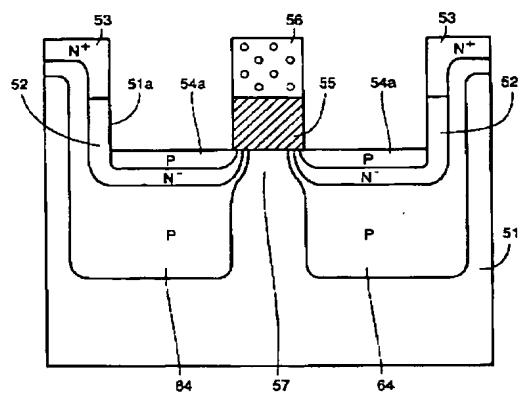
【図27】



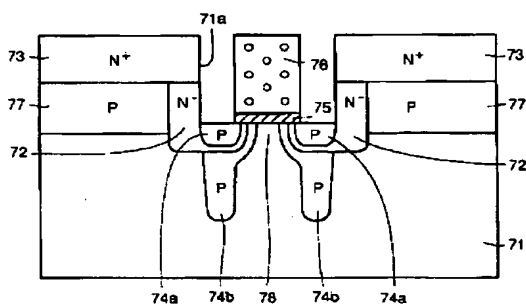
【図28】



【図30】



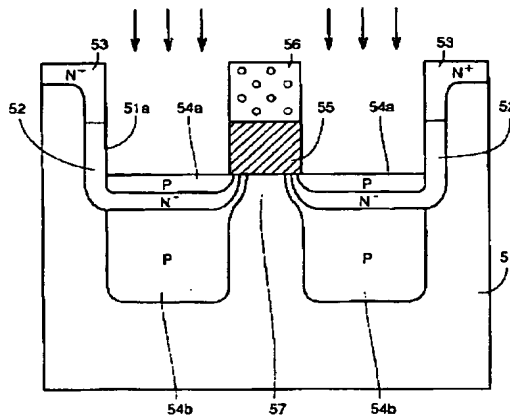
【図31】



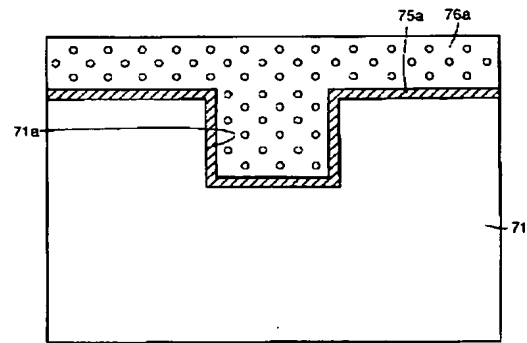
(19)

特開平6-318698

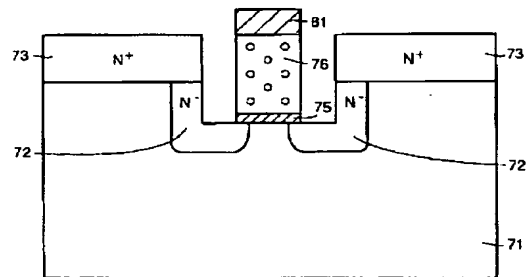
【図29】



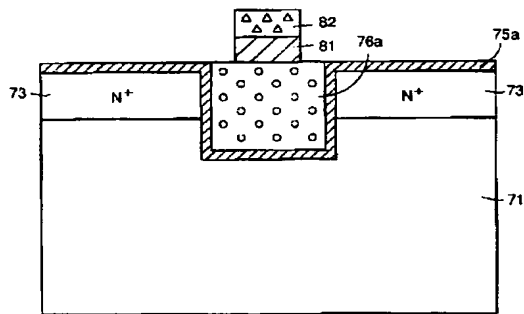
【図33】



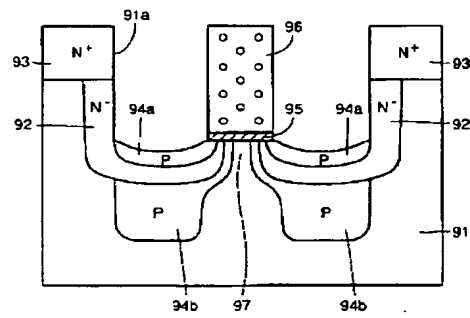
【図35】



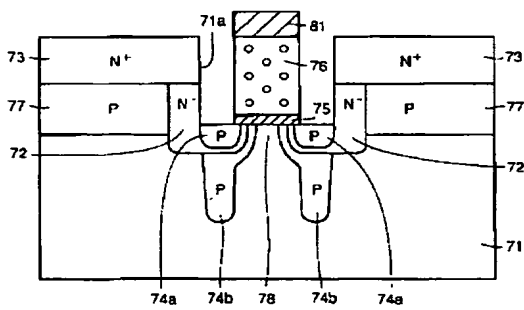
【図34】



【図37】



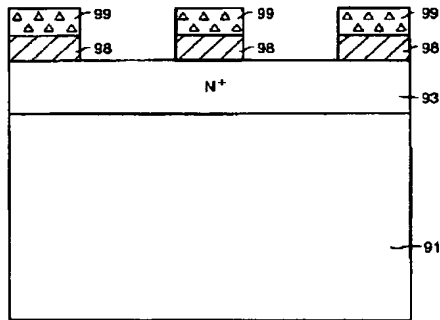
【図36】



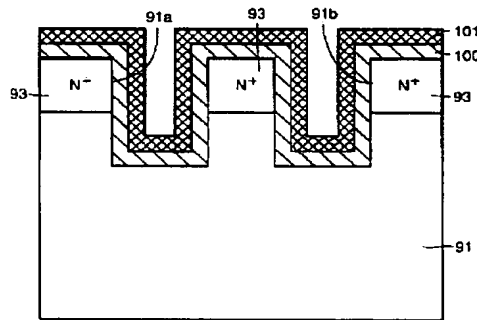
(20)

特開平6-318698

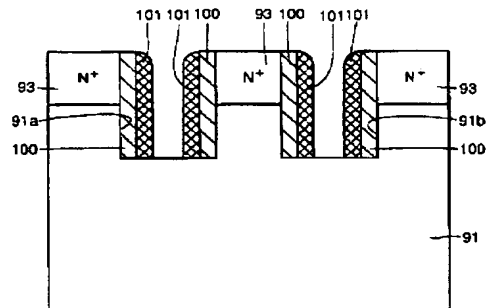
【図38】



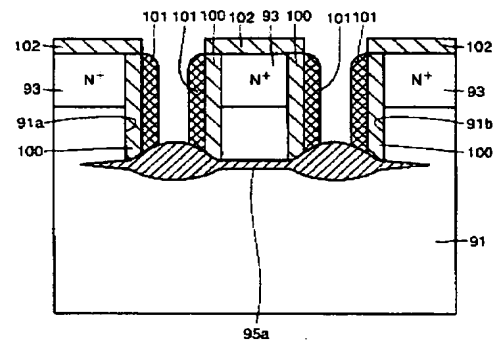
【図39】



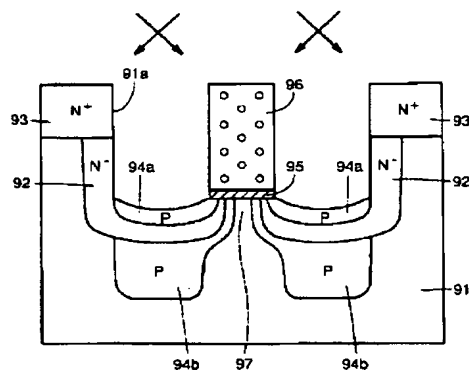
【図40】



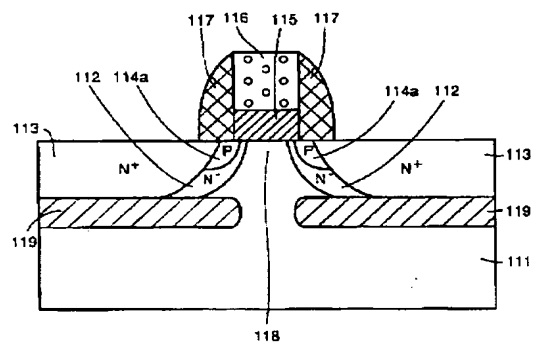
【図41】



【図42】



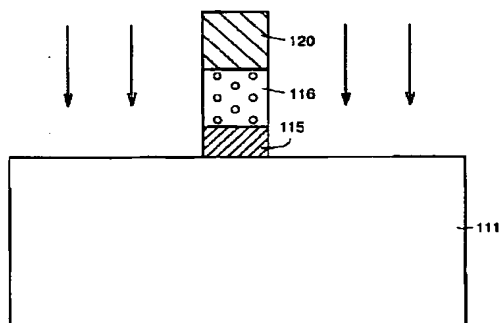
【図43】



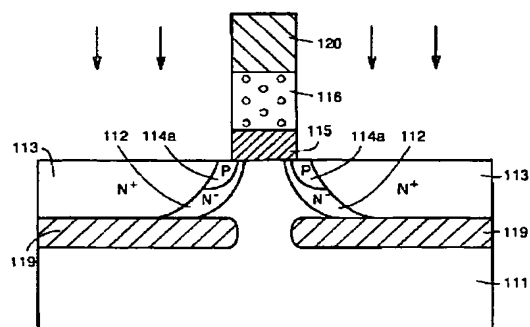
(21)

特開平6-318698

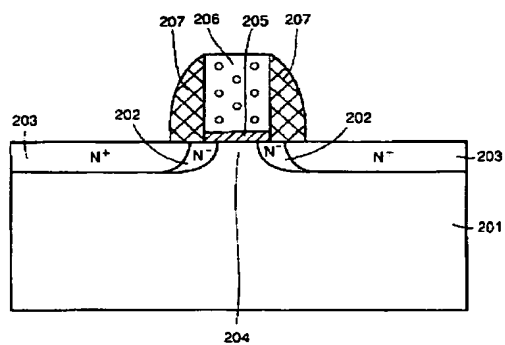
【図44】



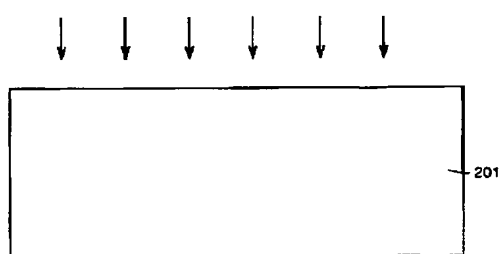
【図45】



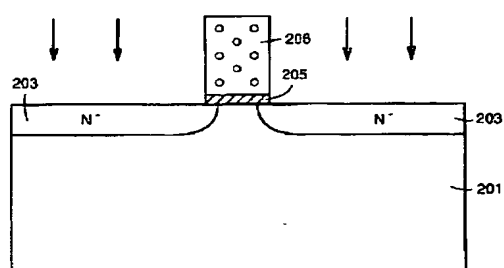
【図46】



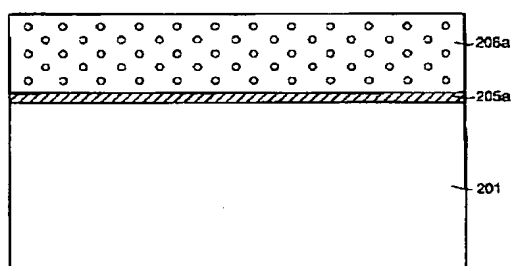
【図47】



【図49】



【図48】



(22)

特開平6-318698

【図50】

